

Japanese Laid-Open Patent Application 61-254989 (JP-A-61-254989)

Date of Publication: November 12, 1986

Title of Invention: Driving Circuit for Matrix Display Device

Assignee: Mitsubishi Denki K.K.

#### Abstract

A driving circuit for matrix display device comprises: a scanning circuit that outputs a sequential logic value to an output line in synchronization with a reference clock, wherein the timing at which a logic value output to a first-stage output line is given from a scanning commencement signal input line; two-input logical sum gates, of which one input is connected in common to an output line of the corresponding scanning circuit, and the other input is connected to the input line of a divided clock, the logical sum gates being provided in each output line of the scanning circuit, in equal number to the divided clock signal input lines; opening and closing being performed depending on the output of the logical sum gates; logical sum gates being constituted such that identical inputs, to the corresponding logical sum gates, of the divided clock signal open and close the common analog signal; and analog gates or latched circuits provided in equal number to the logical sum gates.

## ⑫ 公開特許公報(A)

昭61-254989

⑪ Int. Cl.<sup>4</sup>

G 09 G 3/20

識別記号

庁内整理番号

7436-5C

⑬ 公開 昭和61年(1986)11月12日

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 マトリクス形表示装置の駆動回路

⑮ 特 願 昭60-98524

⑯ 出 願 昭60(1985)5月7日

⑰ 発 明 者 井 手 野 宏 昭 尼崎市塚口本町8丁目1番1号 三菱電機株式会社応用機器研究所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1 発明の名称

マトリクス形表示装置の駆動回路

## 2 特許請求の範囲

基準クロックに同期して出力線に順次論理値を出力し、初段の出力線に論理値を出力するタイミングは走査開始信号入力線から与えられるよう構成して成る走査回路と、この走査回路の各出力線に各々分割クロック信号の入力線と同数ずつ設けられ、一方の入力是对応する前記走査回路の出力線に共通接続され、他方の入力は相異なる前期分割クロック信号の入力線に接続された2入力の論理積ゲートと、この論理積ゲートの出力によつて開閉され、対応する論理積ゲートへの前期分割クロック信号の入力が同一のものは共通のアナログ信号を開閉するよう構成された前記論理積ゲートと同数のアナログゲートまたはラッチ回路とを備えたマトリクス形表示装置の駆動回路。

## 3 発明の詳細な説明

〔産業上の利用分野〕

この発明は、液晶などを用いたマトリクス形表示素子をカラー化するマトリクス形表示素子の駆動回路に関するものである。

〔従来の技術〕

第4図は従来の液晶などを用いたフルカラーマトリクス形カラー表示素子の極く一般的な面素構成を示した図である。この第4図においてX1, X2, X3, …はX駆動線、Y1, Y2, Y3がY駆動線である。X駆動線には色の三要素である赤(以下Rと言う)、緑(以下Gと言う)、青(以下Bと言う)のうち一つの要素が割り当てられており、Y駆動線方向に規則正しくRGBが配列している、RGB1組で1面素が構成される。

このような面素配列を持つマトリクスパネルを駆動するには、Y駆動線を走査線としてこれに順次選択信号を与え、選択されたY駆動線上の各面素にX駆動線から順次映像信号をサンプリングして入力するのが最も基本的な方法である。

このような駆動法を実現するための従来のX駆動線駆動回路の一例を第6図に示す。この第6図

において1は直列入力並列出力形のシフトレジスタで、 $STx$ が直列入力、 $Qx_1, Qx_2, Qx_3, \dots$ が並列出力である。 $CLx$ はシフトレジスタ1の内部データをシフトするクロックである。

また2は、アナログ信号をスイッチングするアナログゲートである。レフトレジスタ2の並列出力 $Qx_1, Qx_2, Qx_3, \dots$ は各々3個のアナログゲート2のゲート入力駆動する。

$V1 \sim V3$ はスイッチングされるアナログ信号入力で、通常RGBに分解した映像信号である、 $X_{11}, X_{12}, X_{13}, X_{21}, X_{22}, \dots$ はアナログゲート2の出力で、第4図のX駆動線 $X1, X2, X3, \dots$ を駆動する。

いま、出力 $X_{11}$ にはR要素、出力 $X_{12}$ にはG要素、出力 $X_{13}$ にはB要素、以降も同じ繰返してX駆動線に面素が接続されているとする、このときアナログ信号入力 $V1$ にはR映像信号、アナログ信号入力 $V2$ にはG映像信号、アナログ信号入力 $V3$ にはB映像信号が入力される、第6図の回路の主要な信号のタイミングチャートを第7図に示す。

したようなRGB3原色に基づくカラー表示素子だけでなく、モノクロ表示素子が求められる場合もある。第5図はモノクロ表示素子の画面配列を示す接続図であつて、 $X1, X2, X3, \dots$ がX駆動線、 $Y1, Y2, Y3, \dots$ がY駆動線である。

モノクロであるから当然1面素は1要素で構成される、1面素に占める色要素の面積が大きく取れるので、RGBフルカラー表示素子より高い表示輝度が得られ、しかも比較的安価なので、文字専用表示端末など必ずしもフルカラー表示を必要としない分野には、第5図のようなモノクロ表示素子を用いた方がメリットが大きい。

ところで、第6図のようなRGB表示用の駆動回路をモノクロ表示素子に転用しようとする、シフトレジスタ1の出力 $Qx_1, Qx_2, Qx_3, \dots$ に3個ずつ並列接続されているアナログゲート2のうち、各々2個は不要になる、かといつて、実用的には第6図の回路は1チップのICに集積化して使用されることが、実用技術面やコスト面からも普通であると考えられ、不要なアナログゲート2

この第7図において、第7図(b)の直列入力 $STx$ に1クロック分論理値“1”が入力されると、第7図(b)のクロック $CLx$ が入力されるごとに直列入力並列出力形のシフトレジスタ1の基本的な動作により、第7図(c)、第7図(d)に示すように、出力 $Qx_1, Qx_2, \dots$ に順次論理“1”が出力され、それに接続されているアナログゲート2を順次開閉していく。(第2図(b)～第2図(h))

第7図(e)～第7図(g)に示すアナログ信号入力 $V1, V2, V3$ には連続的かつ独立な映像信号が入力されているが、アナログゲート2は対応するシフトレジスタ1の出力 $Qx_1, Qx_2, \dots$ が論理値“1”のときしか開かないので出力 $X_{11}, X_{12}, X_{13}, X_{21}, X_{22}, X_{23}, X_{31}, X_{32}, X_{33}$ はアナログゲートが開いているときのみアナログ入力信号 $V1, V2, V3$ に追従し、閉じる瞬間のアナログレベルを保持する。

このようにして、走査線(Y駆動線)上の各面素に映像信号をサンプリングして分配してゆき、各走査線について上記動作を繰返して表示画面が完成する。

ところで、マトリクス形表示素子は第4図に示

を切り離すこともできない。したがつて、第6図の回路をIC化した場合、これをモノクロ表示素子駆動用に転用すると非常に無駄が多いシステムを構成することになる。

そこで、RGBフルカラー表示素子とモノクロ素子の両方の駆動回路に兼用できる回路形式が従来考案されている。第8図はその一例である。直列入力、並列出力形のシフトレジスタ1と3本のアナログ信号入力線にアナログ信号入力 $V1, V2, V3$ を導入するのは第6図と同様であるが、アナログゲート2のゲート入力はシフトレジスタ1の並列出力 $Qx_1, Qx_2, Qx_3, \dots$ に各1個ずつ接続されている。

$X1, X2, X3, \dots$ はアナログゲート2の出力で、出力 $X1$ はアナログ信号入力 $V1$ 、出力 $X2$ はアナログ信号入力 $V2$ 、出力 $X3$ はアナログ信号入力 $V3$ 、以降これを繰返し、シフトレジスタ1の3段分で1組のアナログ信号入力 $V1, V2, V3$ をスイッチングする構成となつている。

第9図は、第8図の回路の主要な信号を示す

イミシングチャートである。第9図(a)のクロック  $CLx$  と同期して順次シフトレジスタ1の出力  $Qx_1$ ,  $Qx_2$ ,  $Qx_3$  … (第9図(c)~第9図(d))に論理値“1”が現われる。連続するアナログ入力信号  $V_1$ ,  $V_2$ ,  $V_3$  (第9図(i)~第9図(l))の一つに注目すると、3クロック毎にサンプリングされるのがわかる。

たとえば、アナログ入力信号  $V_1$  に注目すると、1クロック目において出力  $X_1$  (第9図(m))でサンプリングされ、4クロック目で出力  $X_1$  (第9図(o))において、サンプリングされる。他のアナログ入力信号も異なるクロックタイミングで同様の作用が行なわれている(第9図(n)~第9図(l))。

アナログ信号入力  $V_1$ ,  $V_2$ ,  $V_3$  を映像信号を分解したR信号、G信号、B信号に割り当てれば、それぞれの信号をサンプリングするタイミングは1クロックずつずれるものの、3原色信号を第4図のカラー表示用マトリクス表示素子に分配できることがわかる。

一方、モノクロの映像信号の場合には単にアナ

ログ入力信号  $V_1$ ,  $V_2$ ,  $V_3$  として同一の映像信号を割り当てればよい。

このように第8図の回路方式であれば同一の回路で外部からの信号の与え方を変えるだけで、フルカラー表示とモノクロ表示の両方のマトリクス表示パネルに使用できる。

〔発明が解決しようとする問題点〕

しかし、第8図の回路形式では、上述のように本来並列の信号である三つのアナログ信号入力  $V_1$ ,  $V_2$ ,  $V_3$  のサンプリングタイミングが1クロックずつずれるという欠点の他、RGBフルカラー表示のパネルでは1画素が3要素から成るためにモノクロ表示のパネルと比べると、同一画素数のパネルでは3倍のクロック周波数が必要であり、シフトレジスタ1の動作周波数限界のため、大規模なフルカラー表示素子を駆動できないという欠点があつた。

この発明は、かかる問題点を解決するためになされたもので、フルカラー表示素子とモノクロ表示素子の両方の駆動回路に兼用でき、フルカラー

表示に用いたとき三つのアナログ信号入力に同時にアクセスできるマトリクス形表示装置の駆動回路を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るマトリクス形表示素子の駆動回路は、走査回路の走査出力部とマトリクス論理を構成する3本の分割クロック信号線を新たに設け、走査出力信号と分割クロック信号との論理積信号で、3本アナログ信号入力を開始する3組のアナログゲート部を駆動するよう構成したものである。

〔作用〕

この発明においては、3本の分割クロック信号をRGBフルカラー表示素子とモノクロ表示素子の場合に応じて異なる形で与え、フルカラー表示素子の場合にはR信号、G信号、B信号をモノクロ表示素子の場合には共通の映像信号をそれぞれ3本のアナログ信号入力線に与える。

〔実施例〕

以下、この発明のマトリクス形表示装置の駆

動回路の実施例について図面に基づき説明する。

第1図はその一実施例の構成を示す回路図である。この第1図の1は直列入力並列出力形のシフトレジスタ、2はアナログゲート、3は2入力の論理積ゲートである。

$CLx$  はシフトレジスタ1のクロック入力、 $STx$  はシフトレジスタ1の直列入力、 $Qx_1$ ,  $Qx_2$ ,  $Qx_3$  はシフトレジスタ1の並列出力である。論理積ゲート3はそれぞれ三つに分配され、その分配された各論理積ゲート3にはそれぞれ分割クロック入力  $C_1 \sim C_3$  および並列出力  $Qx_1 \sim Qx_3$  が入力されるようになっている。

各論理積ゲート3の出力はアナログゲート2のそれぞれに送られるとともに、アナログ信号入力  $V_1 \sim V_3$  が三分配されたアナログゲート2に入力されるようになっている。このアナログゲート2から出力  $X_{11} \sim X_{13}$ ,  $X_{21} \sim X_{23}$ ,  $X_{31} \sim X_{33}$ ,  $X_{41} \sim X_{43}$  を出力するようにしている。

三つの分配されたシフトレジスタ1のうち並列出力  $Qx_1$  を例にとると、並列出力  $Qx_1$  と分割クロ

ック $C_1$ 、 $C_2$ 、 $C_3$ とのそれぞれの論理値出力がそれぞれ論理積ゲート3の出力 $G_{11}$ 、 $G_{12}$ 、 $G_{13}$ となる。

並列出力 $Q_{x1}$ 以降も同様に分割クロック $C_1$ 、 $C_2$ 、 $C_3$ との論理積が各々出される。論理積ゲート3の出力 $G_{11}$ 、 $G_{12}$ 、 $G_{13}$ はそれぞれアナログゲート2を駆動する。アナログゲート2へのアナログ信号入力3系統あり、これがアナログ信号入力 $V_1$ 、 $V_2$ 、 $V_3$ で表わされている。

シフトレジスタ1の各出力段において、分割クロック $C_1$ に制御されるアナログゲート2はアナログ信号入力 $V_1$ を開閉する。分割クロック $C_2$ 、 $C_3$ とアナログ信号入力 $V_2$ 、 $V_3$ もそれぞれ1対1に対応する。

第2図はこの第1図のマトリックス形表示装置の駆動回路をRGBフルカラー表示素子の駆動回路に用いる場合の主要信号のタイミングチャートである。この第2図において第2図(a)はクロック入力 $CLx$ 、第2図(b)は直列入力 $STx$ 、分割クロック信号 $C_1$ 、 $C_2$ 、 $C_3$ は(第2図(f))論理値

ある。シフトレジスタ1の動作は従来例およびこの発明のRGBフルカラー表示素子に対する実施例と同様である。モノクロ表示であるから三つのアナログ信号入力 $V_1$ 、 $V_2$ 、 $V_3$ (第3図(x))には共通の映像信号が与えられる。

分割クロック信号 $C_1$ 、 $C_2$ 、 $C_3$ (第3図(f)～第3図(h))は、RGBフルカラーの場合と異なり、クロック $CLx$ (第3図(a))と同じ周期でかつデューティ比が $\frac{1}{3}$ になるよう設定される。

しかも、分割クロック $C_1$ 、 $C_2$ 、 $C_3$ のうち一つはクロック $CLx$ と位相が一致し他はそれぞれ $\frac{1}{3}$ 周期ずつ位相がずれるよう与えられる。

最初は並列出力 $Q_{x1}$ (第3図(c))のみが論理値“1”であるから、論理積ゲート3の出力のうち $G_{11}$ 、 $G_{12}$ 、 $G_{13}$ (第3図(j)～第3図(l))のみが分割クロック $C_1$ 、 $C_2$ 、 $C_3$ の影響を受けて順次論理値“1”を発生する。

クロック $CLx$ の次のサイクルでは、並列出力 $Q_{x2}$ (第3図(d))のみが論理値“1”となるから、 $G_{11}$ 、 $G_{12}$ 、 $G_{13}$ および $G_{21}$ 以降は論理値“0”に押

“1”に固定されている。したがって、論理積ゲート3においてはシフトレジスタ1からの並列出力 $Q_{x1}$ 、 $Q_{x2}$ 、 $Q_{x3}$ 、…(第2図(c)～第2図(f))がそのまま論理積ゲート3の出力 $G_{11}$ 、 $G_{12}$ 、 $G_{13}$ 、 $G_{21}$ 、 $G_{22}$ 、 $G_{23}$ 、 $G_{31}$ 、 $G_{32}$ 、…に出力される。

したがって、論理積ゲート3がなく並列出力 $Q_{x1}$ 、 $Q_{x2}$ 、 $Q_{x3}$ …が直接三つに分配されて、アナログゲート2を駆動するのと機能的に同じになり、各アナログゲート2からは第2図(j)～第2図(l)に示すように、出力 $X_{11}$ ～ $X_{13}$ を出力し第6図の従来例とまったく同じ作用をすることがわかる。

第6図の従来例ではアナログ信号入力 $V_1$ 、 $V_2$ 、 $V_3$ への同時アクセスが可能であるものの、これをモノクロ表示素子に用いたとき各段の三つのアナログゲート2のうち二つが無駄になるのが欠点であつたが、この発明によれば、モノクロ表示素子に用いたときもすべてのアナログゲート2が有効に働くことを示すのが第3図である。

この第3図は第1図の回路をモノクロ表示素子に用いるときの主要信号のタイミングチャートで

えられ、 $G_{21}$ 、 $G_{22}$ 、 $G_{23}$ (第3図(m)、第3図(n))のみが分割クロック $C_1$ 、 $C_2$ 、 $C_3$ の影響を受ける。以下同様の動作を繰り返すと、あたかも出力 $G_{11}$ 、 $G_{12}$ 、 $G_{13}$ 、 $G_{21}$ 、…は1本の走査回路の出力であるかのように順次論理値“1”を発生させる。

したがって、すべてのアナログゲート2は他と異なるタイミングでアナログ信号入力 $V_1$ 、 $V_2$ 、 $V_3$ をサンプリングするので、サンプリングされたアナログゲート2の出力 $X_{11}$ 、 $X_{12}$ 、 $X_{13}$ 、 $X_{21}$ 、 $X_{22}$ …(第3図(o)～第3図(s))を第5図のモノクロ形表示素子のX駆動線 $X_1$ 、 $X_2$ 、 $X_3$ 、…に与えれば、すべての出力を無駄なく使つてモノクロ形表示素子の各画素を独立に駆動できる。

このように、この発明の駆動回路は、回路形式を変更せず、外部から供給する信号形式を変えるだけでモノクロとRGBフルカラー両方のマトリックス形表示素子を駆動できる。

このことは、駆動回路を1チップのICにした場合に大きな利点となる。論理積ゲートを追加することが不利とも考えられるが、2入力論理積ゲ

ートは数少ないトランジスタで構成できる上、この種の回路を集積化する場合ICチップ上で最も大きな面積を占めるのは、低出力インピーダンス化と高耐圧化の必要上トランジスタが大きくなるアナログゲート2などの出力バッファ部であり、純然たる論理回路部である論理値ゲートを増やすことは集積化への大きな負担にはならない。

なお、上記実施例では、シフトレジスタ1a～1cによつて走査回路を構成したが、カウンタおよびカウント値をデコードするデコーダを組み合わせても同様の走査回路を構成することができる。

また、アナログスイッチ手段としてアナログゲート2をラッチ回路に置き換えると、二値画像を表示するアトマックス形表示装置の駆動回路が構成できるが、これも上記実施例の変形と考えてよい。

さらに、この発明の駆動回路は主に液晶を用いたマトリクス形表示素子に使用されるが、EL、プラズマディスプレイなど他のマトリクス形表示素子にも転用でき、同様の効果を奏する。

クス形表示装置の駆動回路をモノクロのマトリクス表示素子に用いる場合の各信号のタイミングチャート、第4図はフルカラーマトリクス形表示素子の画素構成、第5図はモノクロマトリクス形表示素子の画素構成、第6図は従来のマトリクス形表示装置の駆動回路の回路図、第7図は第6図のマトリクス形表示装置駆動回路の各信号のタイミングチャート、第8図は従来のマトリクス形表示装置の駆動回路の他の例を示す回路図、第9図は第8図のマトリクス形表示装置の駆動回路の各信号のタイミングチャートである。

1…シフトレジスタ、2…アナログゲート、3…論理値ゲート。

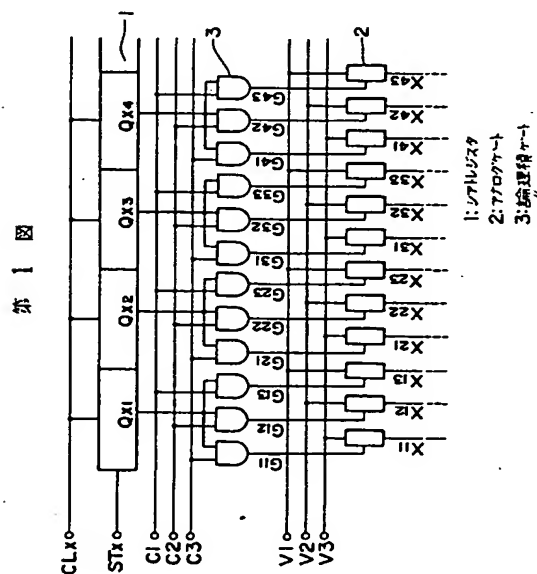
なお、図中同一符号は同一または相当部分を示す。

〔発明の効果〕

この発明は、以上説明したとおり、3本アナログ入力信号をサンプリングする3組のアナログゲートまたはラッチ回路部のそれぞれに対して新たに分割クロック信号線を設け、走査回路出力と分割クロック信号との論理積を取つてアナログゲートまたはラッチ回路を駆動するように構成したので、RGBフルカラーとモノクロ両方のマトリクス形表示素子を、同一の回路で外部から制御信号形式を変えるだけで駆動でき、RGBフルカラーの場合RGB信号を同時に並列にサンプリングできる。したがつて、RGB三つの信号のサンプリング時間のずれがなくなり、しかも従来より大規模なマトリクスを駆動できるという利点がある。

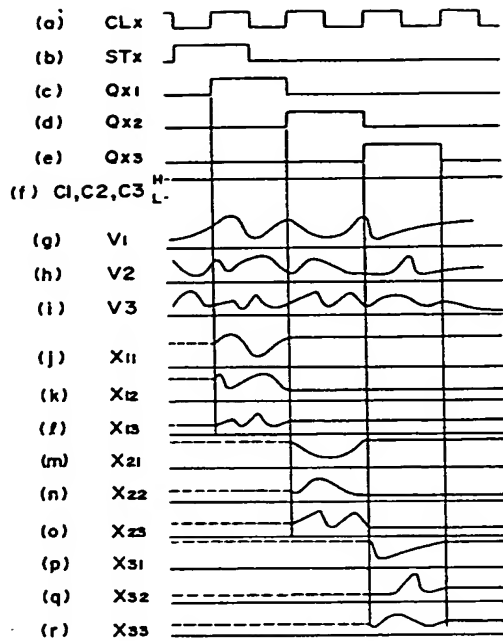
#### 4. 図面の簡単な説明

第1図はこの発明のマトリクス形表示装置の駆動回路の一実施例の回路図、第2図は第1図のマトリクス形表示装置の駆動回路をRGBフルカラー形マトリクス表示素子に用いる場合の各信号のタイミングチャート、第3図は第1図のマトリ

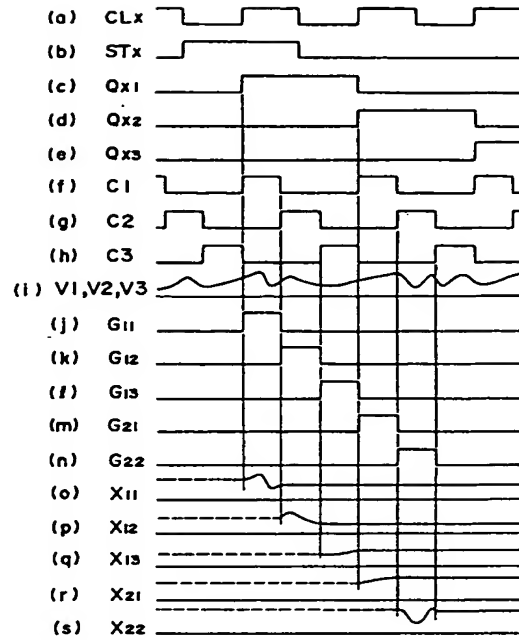


代理人 大 岩 増 雄

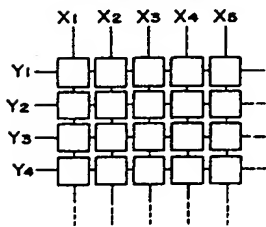
第 2 図



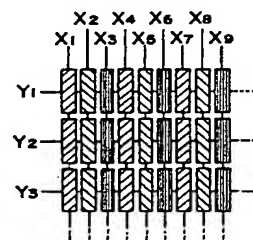
第 3 図



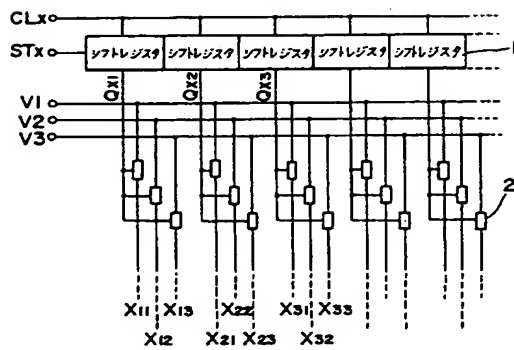
第 5 図



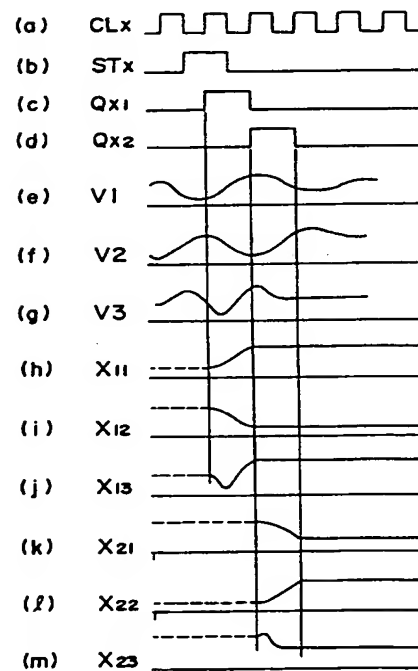
第 4 図



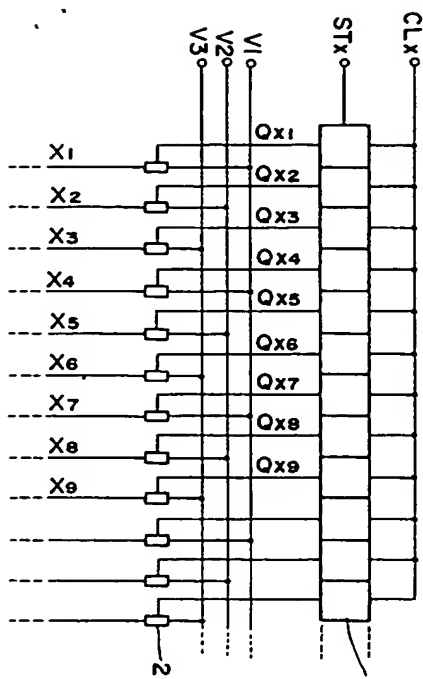
第 6 図



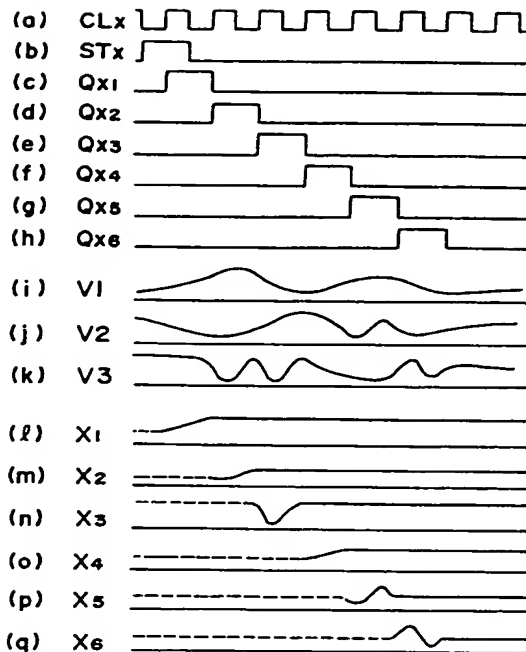
第 7 図



第 9 図



第 8 図



## 手 続 補 正 書 (自発)

60 9 21  
昭和 年 月 日

特許庁長官殿

通

1. 事件の表示 特願昭 60-98524号

2. 発明の名称 マトリクス形表示装置の駆動回路

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601) 三菱電機株式会社代表者 片 山 仁 八 郎  
志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内氏 名 (7375) 弁 理 士 大 岩 増 雄  
(連絡先 03(213)3421特許部)

5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

- (1) 明細書10頁19行の「三つの分配されたシフトレジスタ1のうち」を「シフトレジスタ1の」と訂正する。
- (2) 同14頁2行の「影響」を「影響」と訂正する。

方式 (小)

特許庁  
60.9.21



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**